

1/1 JAPIO - (C) JPO

PN - ***JP 10097993*** A 19980414 [***JP10097993***]

TI - METHOD FOR CRYSTALLIZING SEMICONDUCTOR FILM, AND ACTIVE MATRIX
SUBSTRATE

IN - AZUMA SEIICHIRO

PA - SEIKO EPSON CORP

AP - JP25277596 19960925 [1996JP-0252775]

IC1 - H01L-021/20

IC2 - H01L-021/268 H01L-029/786 H01L-021/336

AB - PROBLEM TO BE SOLVED: To enhance crystallization degree without
roughening a semiconductor film surface by a method wherein a
semiconductor film is irradiated with pulse oscillation laser light
under the condition where the energy density of the pulse oscillation
laser light has a tendency to shift from low density to high density
when viewed from the semiconductor film.

- SOLUTION: When crystallization of amorphous silicon film Si is to be
performed by irradiating a silicon film Si on a substrate with a pulse
oscillation laser light, a silicon oxide film is formed on the
substrate by ECR-CVD method, then an amorphous silicon film is formed
on its surface by LP-CVD method, further, under the condition wherein
the energy density of the pulse oscillation laser light as an tendency
shifting from low density to high density viewed from a silicon film,
the silicon film is irradiated with the pulse oscillation laser light.
Thereby microcrystallization can be prevented.

- COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-97993

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/20
21/268
29/786
21/336

H 0 1 L 21/20
21/268 F
29/78 6 2 7 G

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号

特願平8-252775

(22) 出願日

平成8年(1996) 9月25日

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 東 清一郎

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

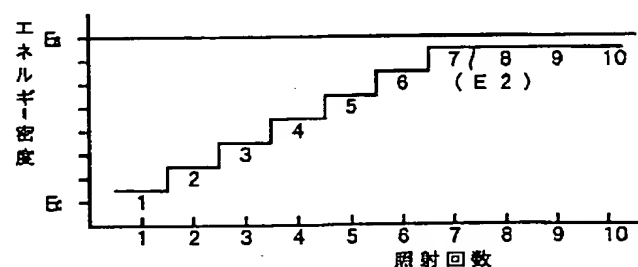
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体膜の結晶化方法、およびアクティブマトリクス基板

(57) 【要約】

【課題】 レーザ溶融結晶化にこれまで検討されていなかった条件を考慮することにより、半導体膜表面を粗らすことなく、結晶化度をさらに高めることのできる半導体膜の結晶化方法、それを用いたTFTの製造方法、この製造方法により製造したTFTを用いたアクティブマトリクス基板、およびこの基板を用いた液晶表示装置を提供すること。

【解決手段】 アモルファスのシリコン膜(半導体膜)に対して、初めからいきなり高いエネルギー密度のレーザ光を照射するのではなく、低いエネルギー密度から段階的にエネルギー密度を上げる。高いエネルギー密度での照射を終えた後は、段階的にエネルギー密度を下げる。



【特許請求の範囲】

【請求項 1】 基板上の半導体膜に対してパルス発振レーザ光を照射して前記半導体膜を結晶化するにあたって、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度が低密度から高密度にシフトする傾向をもつ条件で前記半導体膜に前記パルス発振レーザ光を照射することを特徴とする半導体膜の結晶化方法。

【請求項 2】 請求項 1 において、前記パルス発振レーザ光のエネルギー密度が高密度での照射時には前記半導体膜の完全溶解するエネルギー密度を越えないことを特徴とする半導体膜の結晶化方法。

【請求項 3】 請求項 1 において、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度が低密度から高密度にシフトする傾向をもつ条件で前記半導体膜に前記パルス発振レーザ光を照射した後、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度が高密度から低密度にシフトする傾向をもつ条件に前記半導体膜に前記パルス発振レーザ光を照射することを特徴とする半導体膜の結晶化方法。

【請求項 4】 請求項 1 ないし 3 のいずれかにおいて、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度が高密度となった後、該高密度状態で前記パルス発振レーザ光を前記半導体膜に少なくとも 1 回以上照射することを特徴とする半導体膜の結晶化方法。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、前記半導体膜に対する前記パルス発振レーザ光の照射領域を相対移動させていく際には、パルス毎の照射領域が重なり合うように移動させていくことを特徴とする半導体膜の結晶化方法。

【請求項 6】 請求項 1 ないし 5 のいずれかにおいて、前記半導体膜の膜厚を 30 nm から 80 nm までの範囲とすることを特徴とする半導体膜の結晶化方法。

【請求項 7】 請求項 1 ないし 6 のいずれかに規定する半導体膜の結晶化方法によって得た結晶性の半導体膜から薄膜トランジスタを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 8】 請求項 7 に規定する薄膜トランジスタの製造方法によって製造した薄膜トランジスタを備えていることを特徴とするアクティブマトリクス基板。

【請求項 9】 請求項 8 に規定するアクティブマトリクス基板を用いたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体膜をアニールしてその結晶化を図るための半導体膜の結晶化方法、およびこの結晶化方法を用いた薄膜トランジスタの製造方法、この製造方法によって製造された薄膜トランジスタを用いたアクティブマトリクス基板、およびこの基板を用いた液晶表示装置に関するものである。更に詳しくは、レーザ溶融結晶化法を利用した半導体膜の結晶化技

術に関するものである。

【0002】

【従来の技術】 液晶表示装置のアクティブマトリクス基板では、基板にガラス基板を用いることができるよう低温プロセスによって薄膜トランジスタ（以下、TFT という。）を製造することが望まれている。ここで、TFT のチャネル領域等を形成するのに必要なシリコン膜のうち、アモルファスシリコン膜については低温プロセスによって成膜できるものの、TFT の移動度が低いという欠点がある。

【0003】 そこで、基板上のアモルファスシリコン膜にレーザ光を照射して溶融結晶化するレーザ溶融結晶化法が検討されている。ここで、レーザ光のエネルギー密度はアモルファスシリコンが多結晶シリコンに転移するのに十分なレベルに設定された後、一定のエネルギー密度で照射される。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のレーザ溶融結晶化法では、照射時間などが種々検討されているものの、シリコン膜の結晶化度と表面粗さ特性の双方の特性をこれ以上向上させることができないという問題点がある。すなわち、レーザ溶融結晶化法においては、図 1 に示すように、エネルギー密度 E を増加させていくと、「▲」および点鎖線 $L1$ で示す E_c 以上でシリコン膜に溶融凝固が起きて多結晶化する。ここで、エネルギー密度 E を増加させるほど、その多結晶化が進むが、エネルギー密度 E が「□」および点線 $L2$ で示す E_a を越えるとシリコン膜は微結晶化し、移動度の低下と表面の粗れが起きてしまう。このような現象の詳細なメカニズムは解明されていないものの、これまで検討してきたレーザ溶融結晶化の条件検討では上記の微結晶化と表面の粗れの発生により、シリコン膜の結晶化度と表面粗さの双方の特性をこれ以上向上させるのが限界となっている。

【0005】 以上の問題点に鑑みて、本発明の課題は、レーザ溶融結晶化にこれまで検討されていなかった条件を考慮することにより、半導体膜表面を粗らすことなく、結晶化度をさらに高めることのできる半導体膜の結晶化方法、それを用いた TFT の製造方法、この製造方法により製造した TFT を用いたアクティブマトリクス基板、およびこの基板を用いた液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】 上記課題を解決するために、本発明に係る半導体膜の結晶化方法では、基板上の半導体膜に対してパルス発振レーザ光を照射して前記半導体膜を結晶化するにあたって、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度が低密度から高密度にシフトする傾向をもつ条件で前記半導体膜に前記パルス発振レーザ光を照射することを特徴とする。

【0007】この場合に、前記パルス発振レーザ光のエネルギー密度が高密度での照射時には前記半導体膜の完全溶解するエネルギー密度を越えない条件に設定される。

【0008】本発明では、基板上の半導体膜に対していきなり高密度のパルス発振レーザ光を照射するのではなく、半導体膜からみてパルス発振レーザ光のエネルギー密度が低密度から高密度にシフトする傾向をもつ条件でパルス発振レーザ光を照射する。このようにレーザ照射を行うと、従来のレーザ溶解結晶化では微結晶化が起きて移動度の低下や表面の粗れが起きてしまうような高密度のレーザ光を照射しても微結晶化が起きない。それ故、最終的に照射できるパルス発振レーザ光のエネルギー密度を高く設定できるので、結晶化度を向上させることができる。

【0009】本発明では、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度が低密度から高密度にシフトする傾向をもつ条件で前記半導体膜に前記パルス発振レーザ光を照射した後、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度が高密度から低密度にシフトする傾向をもつ条件で前記半導体膜に前記パルス発振レーザ光を照射することが好ましい。このようなレーザ照射条件を採用すると、微結晶化が起きた場合でも、低密度のレーザ照射により多結晶に回復するという利点がある。それ故、この場合には、多結晶への回復が可能な範囲であれば、前記パルス発振レーザ光のエネルギー密度が高密度での照射時には前記半導体膜の完全溶解するエネルギー密度を越えてもよいといえる。

【0010】本発明では、前記半導体膜からみて前記パルス発振レーザ光のエネルギー密度を高密度で照射した後、さらに該高密度状態で前記パルス発振レーザ光を前記半導体膜に少なくとも1回以上照射することが好ましい。このようなレーザ照射条件を採用すると、レーザ照射時のエネルギー密度にばらつきがあっても、高密度のレーザ照射の繰り返しによって上記のばらつきが吸収されるので、結晶化度にばらつきのない半導体膜を得ることができる。

【0011】本発明において、前記半導体膜に対する前記パルス発振レーザ光の照射領域を相対移動させていく際には、パルス毎の照射領域が重なり合うように移動させていくことが好ましい。このように構成すると、大面積の基板上に形成した半導体膜を結晶化する場合でも重ね合わせ部分での結晶化度や表面粗さの不連続性を低減できる。

【0012】本発明では、前記半導体膜の膜厚を30nmから80nmまでの範囲とすることが好ましい。特に、TFTを製造する場合には少なくともチャネル領域を構成する半導体膜の膜厚を30nmから80nmまでの範囲とすることが好ましい。同じエネルギー密度のレーザ照射を行った場合でも、膜厚が30nm未満という

ように薄すぎると、多結晶化した半導体膜が非晶質に変わってしまうからである。また、半導体膜の膜厚が80nmを越えるほど厚すぎると、厚さ方向でシリコン膜の結晶粒径にばらつきが発生してしまうからである。

【0013】このような半導体膜の結晶化方法は、それによって得た結晶性の半導体膜からTFTを形成するのに利用でき、このようにして製造されたTFTは、たとえば液晶表示装置用のアクティブマトリクス基板上に製造される。

【0014】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0015】〔実施の形態1〕本発明のいずれの形態でもアモルファスシリコン膜をレーザ溶解結晶化法により多結晶化させる。このレーザ溶解結晶化法では、図1に示すように、エネルギー密度Eを増加させていくと、

「▲」および一点鎖線L1で示すEc以上でシリコン膜に溶解凝固が起きて多結晶化する。ここで、エネルギー密度Eを増加させるほど、その多結晶化が進むが、エネルギー密度Eが「□」および点線L2で示すEaを越えるとシリコン膜は微結晶化し、移動度の低下と表面の粗れが起きてしまう。また、シリコン膜の膜厚が薄い場合には、エネルギー密度EがEaを越えなくても、エネルギー密度Eが「○」および二点鎖線L3で示すEbを越えると、アモルファスシリコン膜となってしまう。なお、エネルギー密度Eが「□」および実線L4で示すEdを越えると、蒸発してしまう。

【0016】従って、いずれの形態でもアモルファスシリコン膜をレーザ溶解結晶化法により多結晶化させる場合には、エネルギー密度EがEcからEaまでの範囲内にあって、かつ、Eb以下であることが必須条件である。すなわち、このようなエネルギー密度範囲内であれば、アモルファスシリコン膜を多結晶化することができる。ここで、エネルギー密度Eを増加させるほど、その多結晶化が進むので、上記のエネルギー密度範囲内で最大のエネルギー密度Eをもってシリコン膜のレーザ照射を行う。

【0017】本形態に係る半導体膜の結晶化方法では、たとえば、図2に示すように、基板（図示せず。）上に形成したアモルファスシリコン膜Siに対してパルス発振レーザ光のスポットLSをまず+x方向に走査した後、+y方向にわずかにシフトさせ、しかる後に、スポットLSを-x方向に走査しながら、アモルファスシリコン膜Si全面にスポットLSをあてていく。これを1サイクルとして、本形態ではアモルファスシリコン膜全面へのレーザ照射を繰り返す。なお、レーザ照射を真空雰囲気中又は不活性ガス雰囲気中で行う。

【0018】このようにして基板上のシリコン膜Siに対してパルス発振レーザ光を照射してアモルファスシリコン膜Siの結晶化を行うにあたって、本形態では、基

板上にECR-CVD法により約200nmのシリコン酸化膜(下地保護膜)を形成した後、その表面にLPCVD法により約50nmのアモルファスシリコン膜を形成し、しかる後に、図3に示すように、シリコン膜からみてパルス発振レーザ光のエネルギー密度が低密度(たとえば、 $160\text{mJ}/\text{cm}^2$)から高密度(たとえば、 $310\text{mJ}/\text{cm}^2$)にシフトする傾向をもつ条件でシリコン膜にパルス発振レーザ光を照射する。すなわち、本形態では、シリコン膜に対していきなり、高密度のパルス発振レーザ光を照射するのではなく、シリコン膜のある一点からみてパルス発振レーザ光のエネルギー密度Eが低密度から高密度にシフトする傾向をもつ条件でパルス発振レーザ光を照射する。この場合にも、エネルギー密度が最も高い値E2は、上限値Eaを越えることはない。

【0019】このようにレーザ照射を行うと、従来のレーザ溶融結晶化では微結晶化が起きて移動度の低下や表面の粗れが起きてしまうような高密度のレーザ光を照射しても上記の微結晶化が起きない。

【0020】たとえば、エネルギー密度の最高値E2を変化させたときに、本形態のようにエネルギー密度Eを多段階で最高値E2にまで到達させた場合のシリコン膜の結晶化度を、図4に「・」および実線L11で示す。また、従来のように、いきなり高密度のパルス発振レーザ光(エネルギー密度がE2)を照射したときのシリコン膜の結晶化度を図4に「○」および実線L13で示す。ここで、図4の縦軸は、ラマンピークの半値幅であるから、その値が小さいほど、結晶化度が高いことを表す。これらの結果を比較してわかるように、本形態のレーザ溶融結晶化によれば、エネルギー密度Eの最高値E2を上限値Eaにかなり近い値まで設定してその結晶化度を高めることができる。これに対して、従来のレーザ溶融結晶化によれば、エネルギー密度Eの最高値E2を上限値Eaに近づけても結晶化度が高くない。なお、ラマンピークの半値幅が上限値Ea付近で跳ね上がっているのは、シリコン膜に微結晶化が起きているためである。

【0021】同じく、エネルギー密度の最高値E2を変化させたときに、本形態のようにエネルギー密度Eを多段階で最高値E2にまで到達させた場合のシリコン膜表面の粗さを、図5に「・」および実線L21で示す。また、従来のように、いきなり高密度のパルス発振レーザ光(エネルギー密度がE2)を照射したときのシリコン膜の結晶化度を図4に「○」および実線L23で示す。ここで、図5の縦軸は、測定領域内の平均面における最大値と最小値の差であるから、その値が大きいほど、表面が粗れていることを表す。これらの結果を比較してわかるように、本形態のレーザ溶融結晶化によれば、エネルギー密度Eの最高値E2を上限値Eaにかなり近い値まで設定してその結晶化度を高めてもシリコン膜の表面

が粗れない。これに対して、従来のレーザ溶融結晶化ではエネルギー密度Eの最高値E2を上限値Eaに近づけても結晶化度が高くない割りには、シリコン膜の表面が粗れが激しい。

【0022】それ故、本形態によれば、最終的に照射できるパルス発振レーザ光のエネルギー密度を高く設定できるので、シリコン膜の表面を粗らすことなく、結晶化度を向上させることができる。また、シリコン膜中の欠陥密度を減らすこともできる。

【0023】本発明において、シリコン膜に対するパルス発振レーザ光の照射領域を相対移動させていく際には、図2に示すように、パルス毎の照射領域(スポットLB)が重なり合うように移動させていくことが好ましい。このように構成すると、大面積の基板上に形成したシリコン膜を結晶化させる場合でも、重ね合わせ部分での結晶化度や表面粗さの不連続性を低減できる。

【0024】また、本形態ではシリコン膜の膜厚を約50nmとしたが、30nmから80nmまでの範囲とすれば安定した多結晶性のシリコン膜を確実に得ることができる。すなわち、図1に示すように、同じエネルギー密度のレーザ照射を行った場合でも、膜厚が30nm未満というように薄すぎると、多結晶化したシリコン膜が非晶質(アモルファス)になってしまうからである。また、半導体膜の膜厚が80nmを越えるほど厚すぎると、厚さ方向でシリコン膜の結晶粒径にばらつきが発生してしまうからである。

【0025】なお、図3に示す条件では、エネルギー密度Eが7段階で最高値E2にまで到達するように設定したが、エネルギー密度が低密度から高密度にシフトする傾向をもつようにパルス発振レーザ光を照射するのであれば、そのステップ数には限定がなく、たとえばスループットを考慮して2段階で最高値E2にまで到達するように設定してもよい。

【0026】[実施の形態2] 本形態では、図6に示すように、シリコン膜からみてパルス発振レーザ光のエネルギー密度が低密度から高密度にシフトする傾向をもつ条件でパルス発振レーザ光を照射した後、シリコン膜からみてパルス発振レーザ光のエネルギー密度が高密度から低密度にシフトする傾向をもつ条件でパルス発振レーザ光を照射している。このようなレーザ照射条件を採用すると、エネルギー密度の最高値E2を変化させたときのシリコン膜の結晶化度を、図4に「□」および実線L12で示すように、上限値Eaを越えるような高密度のレーザ光を照射したときでも、後で行う低密度のレーザ照射によってシリコン膜の結晶性が回復し、しかもその結晶化度は著しく高い。

【0027】また、本形態のレーザ照射条件を採用すると、エネルギー密度の最高値E2を変化させたときのシリコン膜表面の粗さを、図5に「□」および実線L22で示すように、結晶化度が高い割りにはシリコン膜の表

面が粗れが小さい。

【0028】なお、本形態でも、パルス発振レーザ光の照射領域を相対移動させていく際には、図2に示すように、パルス毎の照射領域（スポットLB）が重なり合うように移動させていくことが好ましい。このように構成すると、大面積の基板上に形成したシリコン膜を結晶化させる場合でも、重ね合わせ部分での結晶化度や表面粗さの不連続性を低減できる。また、シリコン膜の膜厚を30nmから80nmまでの範囲と設定して、安定した多結晶性のシリコン膜を得ることが好ましい。さらにまた、エネルギー密度が低密度から高密度にシフトするようにパルス発振レーザ光を照射し、しかる後に、高密度から低密度にシフトするようにパルス発振レーザ光を照射するのであれば、そのステップ数には限定がなく、たとえば2段階で最高値E2にまで到達するように設定してもよい。

【0029】【実施の形態3】上記の形態1、2のいずれにおいても、図7または図8に示すように、シリコン膜からみてパルス発振レーザ光のエネルギー密度が高密度となった後、この高密度状態でパルス発振レーザ光をシリコン膜に少なくとも1回以上照射することが好ましい。図7に示す照射条件は、実施の形態1に本形態を組み合わせた場合に相当し、図8に示す照射条件は、実施の形態2に本形態を組み合わせた場合に相当する。

【0030】このようなレーザ照射条件を採用すると、レーザ照射時のエネルギー密度にばらつきがあっても、高密度のレーザ照射の繰り返しによって上記のばらつきが吸収されるので、結晶化度にばらつきのないシリコン膜を得ることができる。

【0031】【実施例】このような半導体膜の結晶化方法は、それによって得た結晶性の半導体膜からTFTを形成するのに利用でき、このようにして製造されたTFTは、たとえば液晶表示装置用のアクティブマトリクス基板上に製造される。そこで、本発明の適用例として、液晶表示装置のアクティブマトリクス基板にTFTを製造する例を説明する。

【0032】（アクティブマトリクス基板の構成）図9（A）は、液晶表示装置のアクティブマトリクス基板の構成を模式的に示す説明図である。

【0033】この図において、液晶表示装置1は、そのアクティブマトリクス基板2上に、信号線3および走査線4で区画形成された画素領域5を有し、そこには、画素用のTFT10を介して画像信号が入力される液晶セルの液晶容量6が構成されている。信号線3に対しては、シフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74を備えるデータドライバ部7が構成され、走査線4に対しては、シフトレジスタ81およびレベルシフタ82を備える走査ドライバ部8が構成されている。なお、画素領域5には、前段の走査線4との間に保持容量51が形成されることもある。

【0034】データドライバ部7や走査ドライバ部8では、図9（B）に2段のインバータを例示するように、N型のTFTn1、n2と、P型のTFTp1、p2とによって構成されたCMOS回路などが高密度に形成される。但し、アクティブマトリクス部9のTFT10と、データドライバ部7のTFTn1、n2やP型のTFTp1、p2とは、基本的な構造が同じであり、同じ工程中で製造される。

【0035】アクティブマトリクス基板2としては、アクティブマトリクス部9だけが基板上に構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7が構成されたもの、アクティブマトリクス部9と同じ基板上に走査ドライバ部8が構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7および走査ドライバ部8の双方が構成されたものがある。また、ドライバ内蔵型のアクティブマトリクス基板2であっても、データドライバ部7に含まれるシフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74等の全てがアクティブマトリクス基板2上に構成された完全ドライバ内蔵タイプと、それらの一部がアクティブマトリクス基板2上に構成された部分ドライバ内蔵タイプとがあるが、いずれに対しても本発明を適用できる。

【0036】図10は、アクティブマトリクス基板の画素領域の1つを拡大して示す平面図、図11（A）は、図10のI-I'線における断面図、図12（B）は、図10のII-II'線における断面図である。なお、データドライバ部7などにおけるTFTは基本的には同一の構造を有するので、その図示を省略する。

【0037】これらの図において、いずれの画素領域5でも、TFT10は、基板20上において、データ線3に対して層間絶縁膜16のコンタクトホール17を介して電気的接続するソース領域11、画素電極19に対して層間絶縁膜16のコンタクトホール18を介して電気的接続するドレイン領域12、ドレイン領域12とソース領域11との間にチャンネルを形成するためのチャンネル領域13、およびチャンネル領域13に対してゲート絶縁膜14を介して対峙するゲート電極15から構成されている。このゲート電極15は、走査線4の一部として構成されている。なお、基板20の表面側には、シリコン酸化膜からなる下地保護膜21が形成されている。

【0038】（TFTの製造方法）図12を参照して、TFTの製造方法を説明する。図12は、図10のI-I'線における断面に対応するTFTの工程断面図である。

【0039】本例では、基板として、235mm角の無アルカリガラス板を用いて以下の各工程を行なう。

【0040】（下地保護膜形成工程）図12（A）において、まず、ECR-PECVD法により250℃～300℃の温度条件下で、基板20の表面に下地保護膜2

1となる膜厚が200nmのシリコン酸化膜を形成する。シリコン酸化膜は、APCVD法でも形成でき、この場合には、基板20の温度を250℃から450℃までの範囲に設定した状態で、モノシラン及び酸素を原料ガスとしてシリコン酸化膜を形成する。

【0041】（半導体膜堆積工程）次に、下地保護膜21の表面に真性のシリコン膜30（半導体膜）を50nm程度堆積する。本例では、高真空型LPCVD装置を用いて、原料ガスであるジシランを200SCCM流しながら、425℃の堆積温度でアモルファスのシリコン膜30を堆積する。この高真空型LPCVD装置では、反応室内の内部に基板を配置し、反応室内の温度を、まず250℃に保持する。この状態で、ターボ分子ポンプの運転を開始し、定常回転に達した後、反応室内の温度を約1時間かけて、250℃から425℃の堆積温度にまで昇温する。この昇温を開始してから最初の10分間は、反応室にガスを全く導入せず、真空中で昇温を行ない、しかる後、純度が99.9999%以上の窒素ガスを250SCCM流し続ける。堆積温度に到達した後、原料ガスであるジシランを200SCCM流すとともに、純度が99.9999%以上の希釈用ヘリウムを1000SCCM流す。

【0042】なお、シリコン膜30の形成にあたっては、PECVD法やスパッタ法を用いてもよく、これらの方法によれば、その成膜温度を室温から350℃までの範囲に設定することができる。

【0043】（レーザ溶融結晶化法によるアニール工程）次に、図12（B）に示すように、アモルファスのシリコン膜30にレーザ光を照射してシリコン膜30を多結晶シリコンに改質する。本例では、たとえば、キセノン・クロライド（XeCl）のエキシマ・レーザ（波長が308nm）を照射する。この工程において、レーザ照射は、基板20を室温（25℃）とし、真空雰囲気中または不活性ガス雰囲気中で行なう。

【0044】このアニール工程を行うにあたっては、前述した実施の形態1ないし3のいずれをも適用できる。ここで、基板20の全面に下地保護膜21およびシリコン膜30が形成された状態にあり、その全面にレーザアニールを行ってもよいが、TFTの形成予定領域だけに選択的にレーザ照射を行い、レーザアニール時間を短縮してもよい。

【0045】（シリコン膜のパターニング工程）次に、図12（C）に示すように、アニール工程を行なったシリコン膜30を、フォトリソグラフィ技術を用いてパターニングを行い、島状のシリコン膜31とする。

【0046】（ゲート絶縁膜の形成工程）次に、図12（D）に示すように、ECR-PECVD法により250℃～300℃の温度条件下で、シリコン膜31に対してシリコン酸化膜からなるゲート酸化膜14を形成する。

【0047】（ゲート電極形成工程）次に、ゲート酸化膜14の表面側に膜厚が600nmのタンタル薄膜をスパッタ法により形成した後、それをフォトリソグラフィ技術を用いてパターニングし、ゲート電極15を形成する。本例では、タンタル薄膜を形成する際に、基板温度を180℃に設定し、スパッタガスとして窒素ガスを6.7%含むアルゴンガスを用いる。このように形成したタンタル薄膜は、結晶構造がα構造であり、その比抵抗が小さい。

【0048】（不純物導入工程）次に、バケット型質量非分離型のイオン注入装置（イオンドーピング装置）を用いて、ゲート電極15をマスクとしてシリコン膜31に不純物イオンを打ち込む。その結果、ゲート電極15に対してセルフアライン的にソース領域11およびドレイン領域12が形成される。このとき、シリコン膜31のうち、不純物イオンが打ち込まれなかった部分がチャネル領域13となる。

【0049】なお、Pチャネル型のTFTを形成する場合には、原料ガスとして水素ガスで濃度が5%となるように希釈したジボランを用いる。また、Nチャネル型のTFTを形成する場合には、水素ガスを原料ガスとして、濃度が5%となるように希釈したホスフィンを用いる。

【0050】（層間絶縁膜の形成工程）次に、図12（E）に示すように、PECVD法により250℃～300℃の温度条件下で、層間絶縁膜16としての膜厚が50nmのシリコン酸化膜を形成する。このときの原料ガスは、TEOSと酸素とである。基板温度は、250℃～300℃である。

【0051】（活性化工程）次に、酸素雰囲気下で300℃、1時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜16の改質とを行なう。

【0052】（配線工程）次に、層間絶縁膜16にコンタクトホール17、18を形成する。しかる後に、コンタクトホール17、18を介して、ソース電極（データ線3）をソース領域11に電気的に接続し、ドレイン電極（画素電極19）をドレイン領域12に電気的に接続し、TFT10を形成する。

【0053】（実施例の主な効果）以上説明したように、本例のアクティブマトリクス基板の製造方法では、アニール工程において、レーザ照射時のエネルギー密度を多段階に上昇させる方法を用いたので、結晶性がよくて、かつ、表面に粗れのない多結晶シリコン膜を得ることができる。それ故、動作速度の高いTFTを製造することができる。なお、レーザアニール工程は、アモルファスのシリコン膜をパターニングした後に行ってもよい。

【0054】

【発明の効果】以上説明したように、本発明に係る半導体膜の結晶化方法では、基板上の半導体膜に対していき

なり高密度のパルス発振レーザ光を照射するのではなく、半導体膜からみてパルス発振レーザ光のエネルギー密度が低密度から高密度にシフトする傾向を条件でパルス発振レーザ光を照射することに特徴を有する。従って、本発明では、従来のレーザ溶融結晶化では微結晶化が起きて移動度の低下や表面の粗れが起きてしまうような高密度のレーザ光を照射しても上記の微結晶化が起きない。それ故、最終的に照射できるパルス発振レーザ光のエネルギー密度を高く設定できるので、結晶化度を向上させることができる。

【図面の簡単な説明】

【図1】レーザ溶融結晶化におけるエネルギー密度とシリコンの変化との関係を示す説明図である。

【図2】レーザ溶融結晶化におけるレーザスポットの走査条件を模式的に示す説明図である。

【図3】本発明の実施の形態1に係るレーザ溶融結晶化条件を示す説明図である。

【図4】レーザ溶融結晶化におけるエネルギー密度と結晶化度の関係を示すグラフである。

【図5】レーザ溶融結晶化におけるエネルギー密度と表面粗さの関係を示すグラフである。

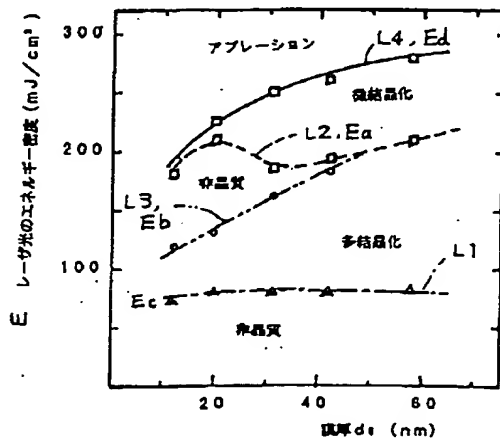
【図6】本発明の実施の形態2に係るレーザ溶融結晶化条件を示す説明図である。

【図7】本発明の実施の形態3に係るレーザ溶融結晶化条件を示す説明図である。

【図8】本発明の実施の形態3に係る別のレーザ溶融結晶化条件を示す説明図である。

【図9】(A)は、本発明の実施例に係る液晶表示装置*

【図1】



*のアクティブマトリクス基板を模式的に示す説明図、

(B)は、その駆動回路に用いたCMOS回路の説明図である。

【図10】アクティブマトリクス基板上の画素領域を拡大して示す平面図である。

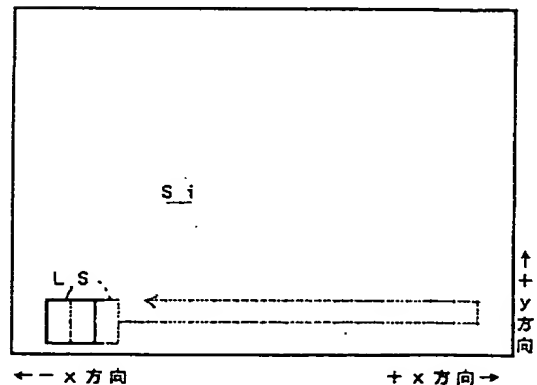
【図11】(A)は、図10のI-I'線における断面図、(B)は、図10のII-II'線における断面図である。

【図12】本発明の実施例において、図10のI-I'線における断面に対応するTFTの工程断面図である。

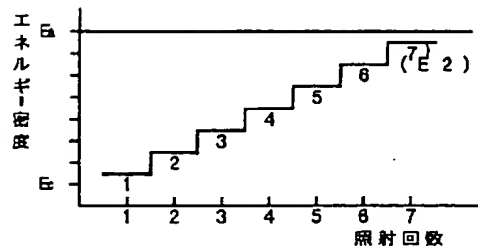
【符号の説明】

- 1・・・液晶表示装置
- 2・・・アクティブマトリクス基板
- 3・・・信号線
- 4・・・走査線
- 5・・・画素領域
- 6・・・液晶容量
- 9・・・アクティブマトリクス部
- 10・・・TFT
- 11・・・ソース領域
- 12・・・ドレイン領域
- 13・・・チャネル形成領域
- 14・・・ゲート絶縁膜
- 15・・・ゲート電極
- 30、Si・・・シリコン膜(半導体膜)
- 31・・・島状のシリコン膜(半導体膜)
- LS・・・レーザ光のスポット

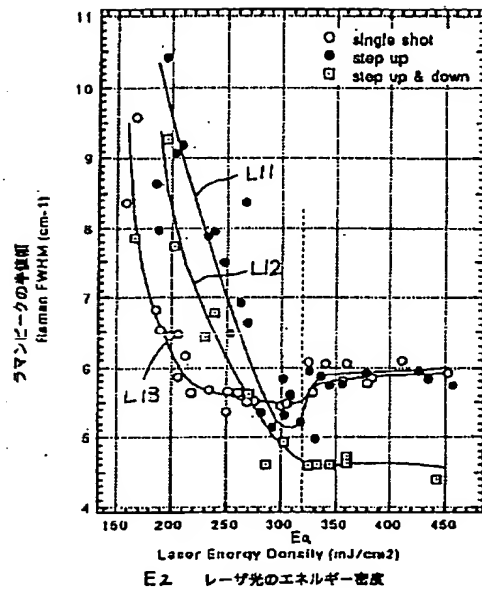
【図2】



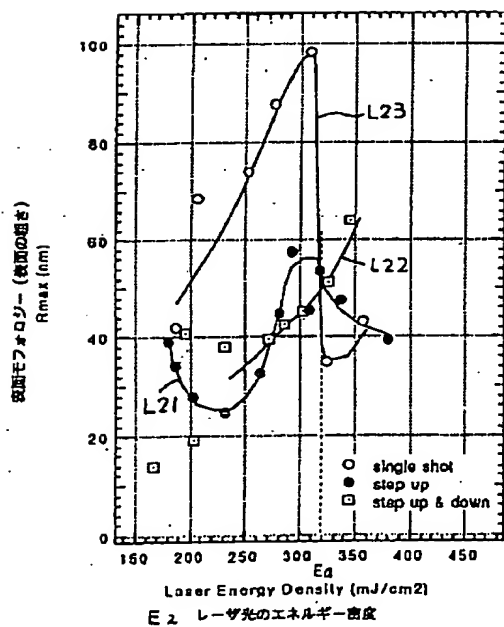
【図3】



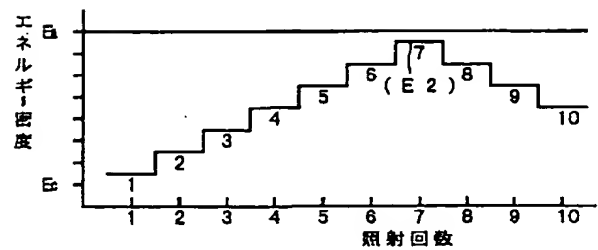
【図4】



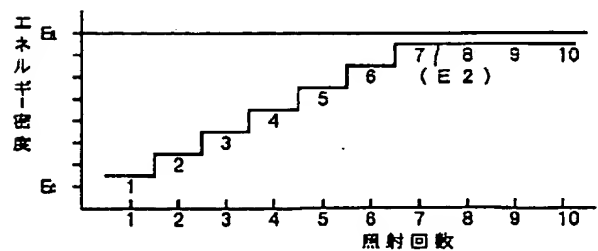
【図5】



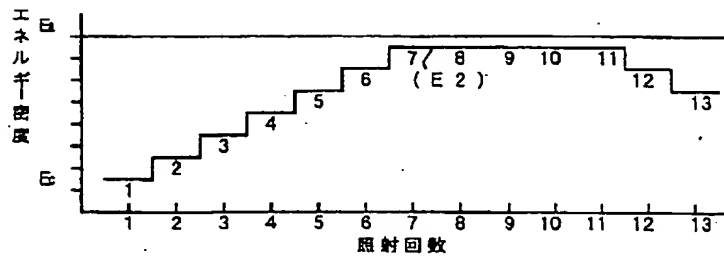
【図6】



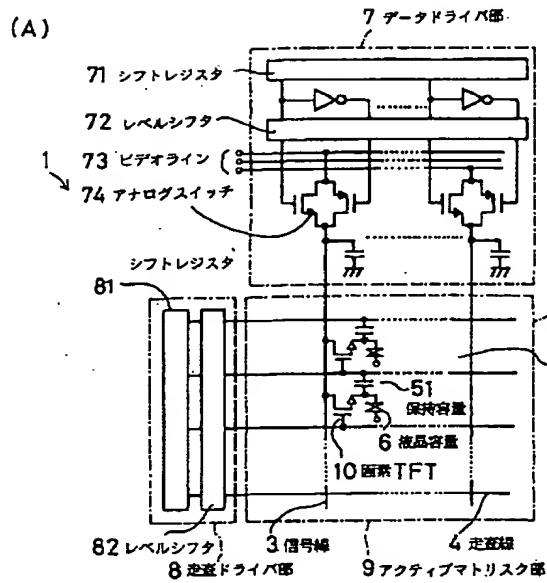
【図7】



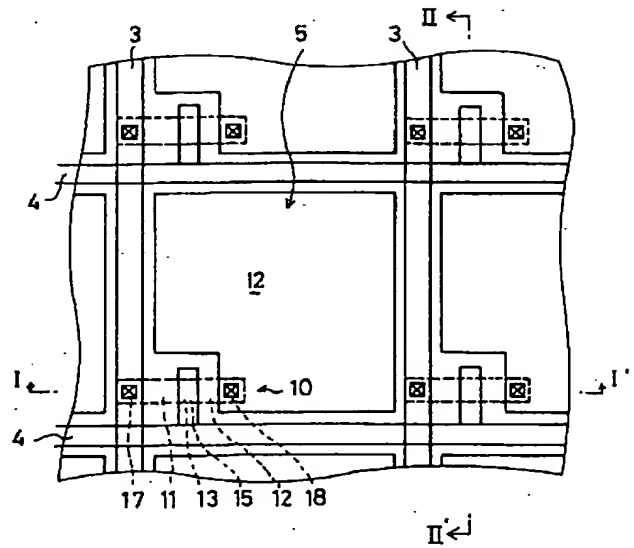
【図8】



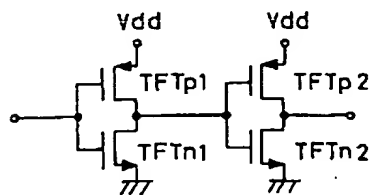
【図9】



【図10】

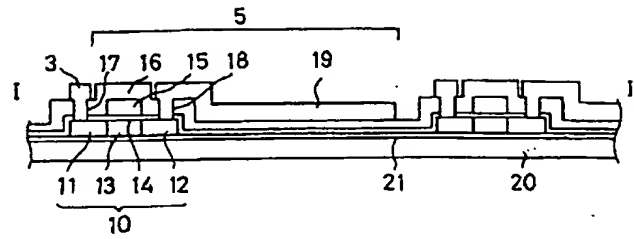


(B)

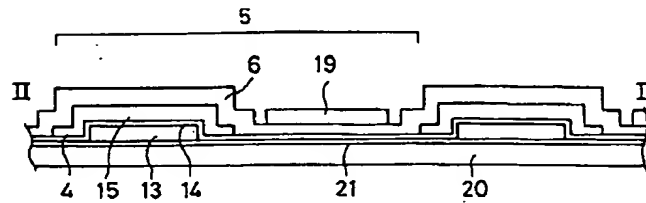


【図11】

(A)



(B)



【図12】

